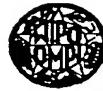


PCT

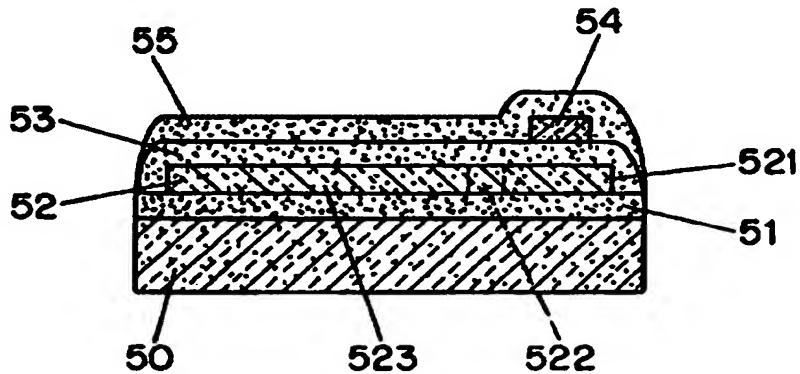
WORLD INTELLECTUAL PROPERTY ORGANIZATION
International Bureau



INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(51) International Patent Classification ⁶ : G09G 3/36, H01L 21/20, 21/302, C30B 13/06	A1	(11) International Publication Number: WO 97/45827 (43) International Publication Date: 4 December 1997 (04.12.97)
(21) International Application Number: PCT/US96/07730		(81) Designated States: CA, JP, US.
(22) International Filing Date: 28 May 1996 (28.05.96)		Published <i>With international search report.</i>
(71) Applicant (for all designated States except US): THE TRUSTEES OF COLUMBIA UNIVERSITY IN THE CITY OF NEW YORK [US/US]; Broadway & 116th Street, New York, NY 10027-6699 (US).		
(72) Inventors; and		
(75) Inventors/Applicants (for US only): IM, James, S. [US/US]; Apartment #74, 520 W. 114th Street, New York, NY 10027-6699 (US). SONG, Hyun, Jin [KR/US]; Apartment 3C, 500 W. 122nd Street, New York, NY 10027-6699 (US). SPOSIL, Robert, S. [US/US]; 63 Maria Lane, Yonkers, NY 10710-2007 (US). YOON, Jung, H. [KR/US]; Floor 2, 210 11th Street, Palisades Park, NJ 07650 (US).		
(74) Agents: TANG, Henry et al.; Brumbaugh, Graves, Donohue & Raymond, 30 Rockefeller Plaza, New York, NY 10112 (US).		

(54) Title: CRYSTALLIZATION PROCESSING OF SEMICONDUCTOR FILM REGIONS ON A SUBSTRATE, AND DEVICES MADE THEREWITH



(57) Abstract

Semiconductor integrated devices such as transistors are formed in a film of semiconductor material formed on a substrate. For improved device characteristics, the semiconductor material has regular, quasi-regular or single-crystal structure. Such a structure is made by a technique involving localized irradiation of the film with one or several pulses of a beam of laser radiation, locally to melt the film through its entire thickness. The molten material then solidifies laterally from a seed area of the film. The semiconductor devices can be included as pixel controllers and drivers in liquid-crystal display devices, and in image sensors, static random-access memories (SRAM), silicon-on-insulator (SOI) devices, and three-dimensional integrated circuit devices.

PCT National Publication Gazette

National Patent Publication No. 2000-505241
Date of National Publication: April 25, 2000
International Class(es): H01L 21/20
G02F 1/136
H01L 21/336
29/786

(29 pages in all)

Title of the Invention: CRYSTALLIZATION PROCESSING OF SEMICONDUCTOR FILM REGIONS ON A SUBSTRATE, AND DEVICES MADE THEREWITH

Patent Appln. No. 9-542270
Filing Date: May 28, 1996
Date of Filing Translation: November 24, 1998
International Filing No. PCT/US96/07730
International Publication No. WO97/45827
International Publication Date: December 4, 1997
Inventor(s): IM, James, S.
SONG, Hyun, Jin
SPOSILI, Robert, S.
YOON, Jung, H.
Applicant(s): THE TRUSTEES OF COLUMBIA UNIVERSITY IN THE CITY OF NEW YORK

(transliterated, therefore the spelling might be incorrect)

(19)日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11)特許出願公表番号

特表2000-505241

(P2000-505241A)

(43)公表日 平成12年4月25日 (2000.4.25)

(51)Int.Cl.⁷

H 01 L 21/20

G 02 F 1/136

H 01 L 21/336

29/786

識別記号

5 0 0

F I

H 01 L 21/20

G 02 F 1/136

H 01 L 29/78

マークト[®] (参考)

5 0 0

6 2 7 G

審査請求 有

予備審査請求 有

(全 29 頁)

(21)出願番号 特願平9-542270
 (86) (22)出願日 平成8年5月28日 (1996.5.28)
 (85)翻訳文提出日 平成10年11月24日 (1998.11.24)
 (86)国際出願番号 PCT/US96/07730
 (87)国際公開番号 WO97/45827
 (87)国際公開日 平成9年12月4日 (1997.12.4)
 (81)指定国 CA, JP, US

(71)出願人 ザ・トラスティース オブ コロンビア
 ユニヴァーシティ イン ザ シティ オ
 ブ ニューヨーク
 アメリカ合衆国 ニューヨーク州 10027
 -6699 ニューヨーク ブロードウェイ
 アンド ワンハンドレッドシックスティー
 シス・ストリート (番地なし)

(72)発明者 イム ジェイムス エス
 アメリカ合衆国 ニューヨーク州 10027
 -6699 ニューヨーク ダブリュー ワン
 ハンドレッド フォーティーンス ストリ
 ート520 アパートメント ナンバー 74

(74)代理人 弁理士 杉村 晴秀 (外5名)
 最終頁に続く

(54)【発明の名称】基板上の半導体膜領域の結晶化処理及びこの方法により製造されたデバイス

(57)【要約】

トランジスタのような半導体集積化デバイスを、基板上に形成された半導体材料の膜で形成する。デバイス特性を改善するため、半導体材料は規則的な、準規則的な単一の結晶構造を有する。この構造体は、レーザ放射ビームの1個又は数個のパルスを用いて膜を局部的に露光し、この膜を全厚さにわたって局部的に溶融することを含む技術により作成する。その後、溶融した材料は膜の種領域から局部的に凝固する。半導体デバイスには、液晶表示装置の画素コントローラ及びドライバ並びに、イメージセンサ、スタティックランダムアクセスメモリ (SRAM)、シリコンオンインシュレータ (SOI)、及び3次元集積回路デバイスが含まれる。

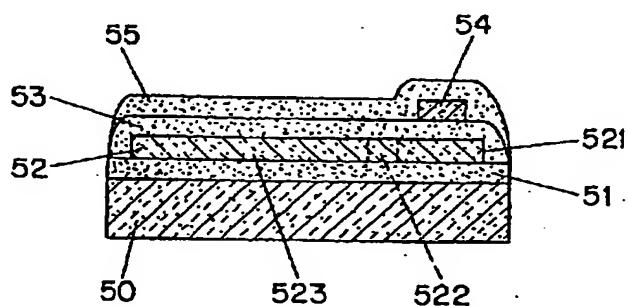


FIG. 5

【特許請求の範囲】

1. 支持された半導体材料の膜の横方向に延在する部分として多結晶領域を形成するに当たり、

半導体材料中に熱を誘導するパルス状の放射を用いて、後側に位置する放射透過性の基板と、基板上の第1の半導体膜と、第1の半導体膜上の耐熱性の膜と、耐熱性の膜上の第2の半導体膜とを具える構造体の前側及び後側から同時に露光し、前記横方向に延在する部分を含む半導体膜の横方向に延在する領域の全ての半導体材料を溶融し、

同時露光の後、前記領域の境界から横方向に凝固させることにより、多結晶の微細構造体を前記領域に形成する多結晶領域の形成方法。

2. 請求項1に記載の方法において、前記領域が平行な縁部により範囲が規定されている方法。

3. 請求項2に記載の方法において、前記平行な縁部が、同時に生ずる横方向からの凝固により前記領域の全体が結晶化する距離だけ離間している方法。

4. 請求項1に記載の方法において、前記半導体材料がシリコンで構成される方法。

5. 請求項1に記載の方法において、前記耐熱層がほぼSiO₂で構成されている方法。

6. 請求項1に記載の本発明において、前記基板をガラス基板とした方法。

7. 請求項1に記載の本発明において、前記基板を水晶基板とした方法。

8. 請求項1に記載の方法において、前記横方向に延在する部分が前記第1の半導体膜にある方法。

9. 請求項1に記載の方法において、前記横方向に延在する部分が前記第2の半導体膜にある方法。

10. 請求項1に記載の方法において、前記領域がマスクパターンにより規定された形状を有する方法。

11. 請求項10に記載の方法において、前記マスクパターンが投影される方法。

12. 請求項10に記載の方法において、前記マスクパターンが近接マスクにより

(3)

規定される方法。

13. 請求項10に記載の方法において、前記マスクパターンが接触マスクにより規定される方法。
14. 請求項1に記載の方法において、前記放射がレーザ放射により構成される方法。
15. 請求項1に記載の方法において、前記領域がカプセル化されている方法。
16. 支持基板上の請求項1に記載の方法により処理された半導体膜。
17. 支持基板上の、請求項1に記載の方法により処理された半導体膜で構成される複数の半導体デバイス。
18. 支持基板上の、少なくともアクティブチャネル領域が請求項1に記載の方法により処理されている薄膜トランジスタを有する集積回路。
19. 少なくともアクティブチャネル領域が請求項1に記載の方法により処理されている複数の画素コントローラ薄膜トランジスタを具える液晶表示装置。
20. 少なくともアクティブチャネル領域が請求項1に記載の方法により処理されている複数の薄膜トランジスタを具える画素ドライバ集積回路を有する液晶表示装置。
21. 基板上の半導体材料の膜に横方向に延在する結晶領域を形成するに当たり、半導体材料中に熱を誘導するパルス状の放射を用い、前記半導体膜の一部部分を露光して前記半導体膜の部分の半導体材料を全体として溶融させ、当該部分の溶融した半導体材料を凝固させ、前記部分を、第1のサブ部分と、この第1のサブ部分と連続する第2のサブ部分と、第2のサブ部分と連続する第3のサブ部分とを含むような形態とし、前記第1のサブ部分が、その境界部で半導体結晶に凝固する形態を有し、前記第2の部分が、1個の凝固した結晶が前記第1のサブ部分から第2のサブ部分を経て第3のサブ部分に成長する形態を有し、前記第3のサブ部分が、1個の結晶が全体として前記第3のサブ部分を占める形態を有する結晶領域の形成方法。
22. 請求項21に記載の方法において、前記第1のサブ部分が、複数の半導体結晶に凝固するアイランド部分の形態を有する方法。

(4)

23. 請求項 2 1 に記載の方法において、前記第 2 のサブ部分の形態が、前記第 1 のサブ部分と第 3 のサブ部分との間の直線状の経路を構成する方法。
24. 請求項 2 1 に記載の方法において、前記半導体材料がシリコンで構成される方法。
25. 請求項 2 1 に記載の方法において、前記基板が加熱される方法。
26. 請求項 2 1 に記載の方法において、前記基板をガラス基板とした方法。
27. 請求項 2 1 に記載の方法において、前記基板を水晶基板とした方法。
28. 請求項 2 1 に記載の方法において、前記パルス状の放射を前記半導体膜の後側及び前側に投射する方法。
29. 請求項 2 1 に記載の方法において、前記半導体膜が、100 nm を超えない厚さを有する方法。
30. 請求項 2 2 に記載の方法において、前記アイランド部分がマスクパターンにより規定される形状を有する方法。
31. 請求項 3 0 に記載の方法において、前記マスクパターンが投影される方法。
32. 請求項 3 0 に記載の方法において、前記マスクパターンが近接マスクにより規定される方法。
33. 請求項 3 0 に記載の方法において、前記マスクパターンが接触マスクにより規定される方法。
34. 請求項 2 1 に記載の方法において、前記放射がレーザ放射により構成される方法。
35. 請求項 2 1 に記載の方法において、前記領域がカプセル化されている方法。
36. 支持基板上の、請求項 2 1 に記載の方法により処理された半導体膜。
37. 支持基板上の、請求項 2 1 に記載の方法により処理された半導体膜で構成される含むの半導体デバイス。
38. 支持基板上の、少なくともアクティブチャネル領域が請求項 2 1 に記載の方法により処理されている薄膜トランジスタを有する集積回路。
39. 少なくともアクティブチャネル領域が請求項 2 1 に記載の方法により処理されている複数の画素コントローラ薄膜トランジスタを具える液晶表示装置。
40. 少なくともアクティブチャネル領域が請求項 2 1 に記載の方法により処理さ

れている複数の薄膜トランジスタを具える画素ドライバ集積回路を有する液晶表示装置。

41. 基板上の半導体材料の膜に横方向に延在する結晶領域を形成するに当たり、
 - (a) 半導体材料中に熱を誘導するパルス状の放射を用い、前記膜の第1の部分を露光してその厚さにわたって第1の部分の半導体材料を溶融し、
 - (b) 前記第1の部分の半導体を凝固させ、前記第1の部分の境界部分に少なくとも1個の半導体結晶を形成し、この第1の部分を次の処理に対する以前の部分とし、
 - (c) 前記以前の部分からステップ移動方向にステップ移動すると共に少なくとも1個の半導体結晶と部分的に重なり合う半導体の別の部分を露光し、
 - (d) 前記別の部分の溶融した半導体材料を凝固させ、半導体結晶をステップ移動方向に成長させることにより半導体結晶を拡大させ、
 - (e) 工程(c)と(d)の組合せを繰り返し、所望の結晶領域が形成されるまで、各工程の別の部分を次の工程の対して以前の部分とする方法。
42. 請求項41に記載の方法において、前記露光される部分を細条とした方法。
43. 請求項42に記載の方法において、前記細条が縁部間の幅を有し、縁部からの横方向の同時凝固により前記細条全体が凝固しない方法。
44. 請求項41に記載の方法において、前記半導体材料をシリコンで構成した方法。
45. 請求項41に記載の方法において、前記露光される部分を山形とした方法。
46. 請求項41に記載の方法において、前記基板をガラス基板とした方法。
47. 請求項41に記載の方法において、前記基板を水晶基板とした方法。
48. 請求項41に記載の方法において、前記横方向に延在する結晶領域が、半導体材料の膜をパターニングすることにより規定される方法。
49. 請求項48に記載の方法において、前記膜のパターンが、テイル部分と、このテイル部分に連続するボトルネック部分と、このボトルネック部分と連続する主アイランド部分とを有する方法。
50. 請求項41に記載の方法において、前記露光される部分がマスクパターンにより規定される方法。

(6)

51. 請求項 5 0 に記載の方法において、前記マスクパターンが投影される方法。
52. 請求項 5 0 に記載の方法において、前記マスクパターンが近接マスクにより規定される方法。
53. 請求項 5 0 に記載の方法において、前記マスクパターンが接触マスクにより規定される方法。
54. 請求項 4 1 に記載の方法において、前記放射がレーザ放射により構成される方法。
55. 請求項 4 1 に記載の方法において、前記領域がカプセル化されている方法。
56. 支持基板上の、請求項 4 1 に記載の方法により処理された半導体膜。
57. 支持基板上の、請求項 4 1 に記載の方法により処理された半導体膜で構成される複数の半導体デバイス。
58. 支持基板上の、少なくともアクティブチャネル領域が請求項 4 1 に記載の方法により処理されている薄膜トランジスタを有する集積回路。
59. 少なくともアクティブチャネル領域が請求項 4 1 に記載の方法により処理されている複数の画素コントローラ薄膜トランジスタを具える液晶表示装置。
60. 少なくともアクティブチャネル領域が請求項 4 1 に記載の方法により処理されている複数の薄膜トランジスタを具える画素ドライバ集積回路を有する液晶表示装置。

【発明の詳細な説明】**基板上の半導体膜領域の結晶化処理及び
この方法により製造されたデバイス****技術分野**

本発明は、半導体集積化デバイス用の半導体材料の処理方法に関するものである。

発明の背景

半導体デバイスは例えば水晶又はガラスの基板上のシリコンの層又は膜に形成することができる。この技術はイメージセンサ及びアクティブマトリックス液晶表示装置（AMLCD）のデバイスの製造に用いられる。後者の場合、適切に透明な基板上の薄膜トランジスタ（TFT）の規則的なアレイにおいて、各トランジスタは画素コントローラとして作用する。市販されているAMLCDデバイスにおいて、薄膜トランジスタは水和したアモルファスシリコン膜に形成される（a-Si:H TFT）。

TFTのスイッチング特性を増強するため、アモルファスシリコンの代わりに多結晶シリコンが用いられている。多結晶構造体は、例えば堆積しているアモルファス又は微結晶シリコン膜をエキシマレーザで結晶化（ELC）することにより得られる。

しかしながら、ランダムに結晶化している多結晶シリコンを用いる場合、満足されない結果が生じてしまう。小さな粒子のポリシリコンの場合、例えばTFTのアクティブチャネル領域において多数の大きな角度の粒子境界によりデバイス性能が制限されてしまう。大粒子のポリシリコンはこの点に関しては優れているが、あるTFTに別のTFTと比べて顕著な粒子構造の不規則性が存在するとTFTアレイにデバイス特性の不均一性が生じてしまう。

発明の概要

デバイス特性及びデバイスの不均一性を改善するため、基板上の半導体膜に横方向に凝固させる技術を適用する。この人為的に制御されるスーパラテラル成長

(ACSLG) と称せられる技術は、例えばレーザビームパルスのような適当な

放射パルスにより膜の一部を露光し、膜をその全厚さにわたって局部的に溶融することを含む。溶融した半導体材料が凝固すると、膜の予め定めた完全に溶融しなかった部分から結晶構造が成長する。

この技術の第1の好適な実施例において、露光される構造体は基板により支持された第1の半導体膜、第1の半導体膜上の耐熱性膜、及び耐熱性膜上の第2の半導体膜を含む。この実施例において、構造体の前側及び後側の両方をパルスで露光する。

好適な第2の実施例において、横方向の凝固は、第1の領域からくびれた第2の領域を経てデバイス領域として意図した第3の領域へ進行する。この実施例では、基板を介して加熱する領域と関連して一方の側からの露光を用いる。

好適な第3の実施例において、ビームを繰り返し照射し、放射パターンを横方向にステップ移動させて溶融及び凝固を繰り返すことにより拡大した単一結晶領域を形成する。

有益なものとして、この技術は高速液晶表示装置の製造に用いることができ、その製造においては画素コントローラ及び／又はドライバ回路は単一結晶として又は規則的な／準規則的な多結晶膜として形成する。別の用途として、イメージセンサ、スタティックランダムアクセスメモリ (S R A M) 、シリコンオンインシュレータ (S O I) デバイス、及び3次元集積化回路デバイスが含まれる。

図面の簡単な説明

図1はこの技術の第1実施例として用いることができる投影露光装置の線図である。

図2は第1実施例のためのサンプル構造体の拡大した線図的側面図である。

図3 A及び3 Bは第1実施例の半導体材料に形成することができるT F Tデバイスの微細構造体の拡大した線図的上面図である。

図4はこの技術の第2の実施例で用いることができる露光装置の線図である。

図5は第2実施例のサンプル構造体の拡大した線図的側面図である。

図6 A～6 Dは順次の処理工程における図5のサンプル構造体の線図的上面図である。

(9)

図7は第3実施例に用いることができる露光装置の線図である。

図8は第3実施例のサンプル構造体の拡大した線図的側面図である。

図9A～9Fは処理の第1の変形例の第1の形式の順次の工程における図8のサンプル構造体の線図的側面図である。

図10A～10Fは処理の第1の変形例の第2の形式の順次の工程における図8のサンプル構造体の線図的側面図である。

図11A～11Cは処理の第2の変形例の順次の工程におけるサンプル構造体の線図的側面図である。

図12はTFTが含まれている液晶表示装置の線図的上面図である。

好適実施例の説明

以下において実験的に実現された特有の実施例及びその変形例について説明する。明示的又は内在的な数個の変形例は実施例と共に、さらに請求の範囲内において別の変形例が当業者にとって自明である。例えば、ゲルマニウム、シリコン-ゲルマニウム、ゲルマニウム砒素又はインジウム燐のようなシリコン以外の半導体材料を用いることを含むものである。処理条件下における安定性、不活性及び耐熱性について考慮された例えばシリコン、水晶、ガラス又はプラスチックのような適切な材料の基板を用いることも含むものである。例えば電子ビーム又はイオンビームのようなレーザビーム以外の放射ビームを用いることも含む。

第1実施例

図1の投影露光装置は、エキシマレーザ11、ミラー12、ビームスプリッタ13、可変焦点視野レンズ14、パターン化された投影マスク15、2個の素子の結像レンズ16、サンプルステージ17、可変減衰器18、及び収束レンズ19を含んでいる。この投影装置を用いることにより、ステージ17上のサンプル10の前側面及び後側面に同時に放射パルスを供給することができる。

この技術の第1実施例の場合、図2に示すように、透明基板20、第1のアモルファスシリコン膜21、SiO₂膜22、及び第2のアモルファスシリコン膜23を含む「二重層」(DL)サンプル構造体を用意した。アモルファスシリコン膜の膜厚は100nmとし、SiO₂膜の膜厚は500nmとした。例えば窒化シリコン又は高温ガラスのような別の耐熱性材料を膜22に用いることができ

(10)

る。

第2のすなわち頂部シリコン膜23上にパターン投影を行い第1のすなわち底部シリコン膜21にブロードなビーム照射を行うと、第1のシリコン膜21は含まれる犠牲層として調整され、頂部シリコン膜23における横方向の結晶化速度を最大にすることができる。これらの膜の役割は、パターンを基板を介して第1の膜上に投影する場合、反転させることができる。パターンが投影された膜において、横方向に凝固した粒子が形成され、例えばTFT用に良好に適合した処理膜が形成される。

図2に基づく構造体は、アモルファスシリコン、 SiO_2 トラックアモルファスシリコンを水晶基板上に順次低圧化学気相堆積することにより用意される。アモルファス又は微結晶堆積する別の適切な堆積方法には、例えばプラズマエンハンスド化学気相堆積 (PECVD)、蒸着、又はスパッタリングが含まれる。

サンプルは図1の投影露光装置のステージ17上に配置する。マスク15は、 $10 \sim 100 \mu m$ の種々の分離距離で $50 \mu m$ 幅の簡単な細条のパターンを有する。

マスクパターンは3~6の範囲の種々の縮小倍率でサンプル上に投影する。後ろ側のエネルギー密度は可変減衰器18により制御する。サンプルは $308 nm$ の波長の $30 ns$ XeClエキシマレーザを用いて室温で照射され、この波長域において水晶は透明である。このレーザは、LambdaPhysik Compex 301の商品名で市販されている。ガラス基板の場合、例えば $348 nm$ のようなより長い波長が必要である。

ビーム照射は固定された前側エネルギー密度及び種々の後側エネルギー密度で行う。評価した前側エネルギー密度はサンプル面で約 $1.0 J/cm^2$ である。後側エネルギー密度は $170 \sim 680 mJ/cm^2$ である。

照射に続いて試験を行うため、膜全体をセコ (Scco) エッチ剤を用いて欠陥エッチングを行い、走査型電子顕微鏡 (SEM) を用いて試験を行った。最も大きな不均一な粒子は $510 mJ/cm^2$ の後側エネルギー密度の場合に得られた。これらの粒子は細条状領域の2個の側から横方向に成長し、細条の中心線

上に良好に規定された粒子境界で2本の粒子列を形成している。

生じた個別の結晶体がTFTのアクティブチャネル領域全体を形成するのに十分でない場合でも、この結晶体は例えば図3A又は図3Bに図示するようなTFTのアクティブチャネル領域として作用できる規則的な又は準規則的な多結晶構造体を形成する。ソース電極31、ドレイン電極32ゲート電極33及びアクティブチャネル領域34を示す。図3Aにおいて、アクティブチャネル領域は、上述したようにして生成された両方の粒子列を含む。図3Bのような十分に大きな粒子の場合、アクティブチャネル領域は粒子の单一列として形成することができる。

第1の実施例による処理方法において、底部犠牲層21の役割は、ビームにより加熱する場合エネルギーを蓄積する加熱サセプタの役割として理解することができ、最大の効果はこの膜が溶融する場合に得られる。蓄積した熱は凝固中に解放される。これにより、頂部膜23が伝導により熱を喪失する程度が低減される。従って、最大の利点を得るために、露光される構造体を適切な寸法にすることが重要である。SiO₂膜22が薄過ぎる場合、シリコン膜21及び23の放熱は一緒になってしまい、膜21を形成することによる利点が得られない。他方において、膜22が物理的なプロセスの熱拡散距離に対して厚過ぎる場合、膜21が頂部膜23の変換に対して不十分に作用することになる。底部膜21に関して、その厚さは、この膜が十分な熱量を有するように選択する必要がある。しかし、膜21がより厚い場合、この膜を溶融するのにより多くのエネルギーが必要となる。

シリコン層23上にパターンを露光する代わりに、例えば近接マスク、コンタクトマスク又はフォトリソグラフィによりパターン化された堆積したマスク層により所望のパターンを規定することができる。

マスキングの変形例において、マスク層は例えば入射する放射を吸収又は反射することによりマスクの下側の領域での加熱を低減するように作用できる。或いは、適切な厚さの適当なマスク材料を用い場合、相補的な反射防止効果が実現され、付加的なエネルギーをマスク材料の下側の半導体膜に流入させることができ

る。例えば、 SiO_2 膜を用いてこの効果をシリコン膜に及ぼすことができる。この変形例は、マスク層が溶融した半導体材料に対する拘束部材として作用し、

溶融半導体層が表面張力の作用により塊に凝集したり変形するのを防止する利点がある。

第2実施例

図4の露光装置は、エキシマレーザ41、プリズム偏向器42、集束レンズ43、真空チャンバ44及びサンプルを配置するホットステージ45を含む。

本発明の図4の露光装置を用いる第2の実施例において、図5のサンプル構造体は、基板50、熱酸化膜51、第1のパターン化されたアモルファスシリコン膜52、 SiO_2 膜53、第2のパターン化されたシリコン膜54、及びさらに堆積した SiO_2 膜55を含む。典型的な厚さは、熱酸化膜51については100nmとし、アモルファスシリコン膜52については100nmとし、 SiO_2 膜53については210nmとし、アモルファスシリコン膜54については120nmとし、 SiO_2 膜55については170nmとする。

このサンプル構造体はシリコンウェハ50上の熱酸化膜51上に低圧化学気相堆積(LPCVD)によりアモルファスシリコン膜52を堆積することにより得られる。シリコン膜52にフォトレジストをコートし、その後ステッパにより露光し、現像し、さらにシリコン膜52を SF_6/O_2 プラスマで反応性イオンエンジニアリングを行いパターン形成を行う。シリコン膜52の第1レベルのアイランドの得られたパターンを図6Aに上方から見た図面として示す。このパターンは、デバイスとして使用される四角形の主アイランド領域523、矩形の「テイル」領域521、及びテイル領域521と主アイランド領域523とを結ぶ「ボトルネック」領域522の3個の領域で構成される。これらの寸法は以下のように選択する。テイル領域521については $20 \times 10 \mu\text{m}$ とし、ボトルネック領域522については $5 \times 3 \mu\text{m}$ とし、主アイランド領域521については $10 \times 10 \mu\text{m}$ から $50 \times 50 \mu\text{m}$ の範囲の異なる寸法とする。

第1レベルのアイランドにはプラズマーエンハンド気相堆積(PECVD)により SiO_2 膜53を形成し、上側にアモルファスシリコンを堆積する。フォト

(13)

リソグラフィ処理を用いてアモルファスシリコンについてパターニングを行い、 $5 \times 5 \mu\text{m}$ の寸法の「第2のレベルのアイランド」54を形成する。第2レベルのアイランド54はテイル領域521の上側に直接位置し露光中のビーム遮光区域として作用する。最後に、この構造体全体にPECVDのSiO₂層を形成する。

処理を行うため、サンプルを 10^{-5} トールの圧力の真空チャンバ内の耐熱性グラファイトのホットステージ上に配置する。別の適当な加熱装置を利用できる場合、真空処理を省略することができる。基板温度が $1000\sim1200^\circ$ になるまで加熱を行い、これには約3分の立ち上がり時間を必要とする。露光する前にサンプルを最終的な基板温度に約2分間保持する。サンプルの温度は、直接取り付けた熱電対により間欠的にモニタすると共にデジタルの赤外線サーモメータにより連続的にモニタする。サンプルは、単一のエキシマレーザパルスを用いてテイル領域内のビーム遮光領域区域以外の全ての第1のレベルのアイランドが完全に溶融するのに十分高いエネルギー密度で露光する。

微細構造の分析を行うため、露光したサンプルをセコウ (S e c o) エッチングを行った。 1150°C の基板温度で露光したサンプルの場合、セコウエッチングされたサンプルのノマルスキーピー顕微鏡写真は、 20×20 、 40×40 及び $50 \times 50 \mu\text{m}$ のアイランドは単一結晶のアイランド (SCI) に完全に変換されているのを示している。エッチングされたサンプルの欠陥パターンは、主アイランド領域が、SLGの研究で認められている平面欠陥に加えて、ゾーンメルティングの再結晶化で観測されるものと同様な小角サブ境界を含むことを示唆している。 1100°C のような低い基板温度の場合、 $20 \times 20 \mu\text{m}$ の小さいアイランドだけが大角粒界のない単一結晶のアイランドに変換された。 1050 及び 1000°C の一層低い基板温度の場合、 $20 \times 20 \mu\text{m}$ のアイランドに大角粒界面が発生している。

この第2実施例の凝固過程は図6B～6Dに基づいて理解することができる。すなわち、露光に際して、第2レベルの四角形の領域54はこの領域に入射するビームエネルギーの大部分を遮光し、テイル領域521のビームが遮光された区

(14)

域での完全な溶融が阻止される。露光された第1レベルの領域の残りの部分は、図6Bに示すように完全に溶融する。膜が基板を介して冷却されると、ビームが遮光された領域の液相-固相界面は冷却不足になり、シリコン粒子61がビーム遮光領域から外側に向けて急速に成長を開始する。テイル領域内において、多くの

の粒子61は素早く結びつき、1個又は数個の好ましく位置する粒子だけがボトルネック部522に向けて成長する。ボトルネック部522は、1個の粒子がボトルネック部を経て主アイランド領域523に拡張するような形態を有する。基板温度が十分に高く主アイランド領域523が急激に冷却された液中での凝集が防止されるほど小さい場合、ボトルネック部522を経て成長した1個の粒子の横方向の成長により主アイランド523全体が単一の結晶領域に変換される。

従って、主アイランド領域523の単一結晶形態への有用な変換は、基板温度とアイランド領域の大きさとの適切な組合せを必要とする。溶融したシリコンは、横方向凝固により完全に変換するために必要な特性時間よりも長い特定の体積を凝固させるための特性時間にわたって十分に高い温度に維持する必要がある。この特性変換時間は主として変換すべき距離すなわち主アイランドの横方向の寸法に依存するので、特性変換時間が液体中で凝固がトリガされる前に達成できる平均横方向成長距離に匹敵するようにアイランドの大きさを基板温度に関係付ける必要がある。ゾーンメルティング再結晶と比較して、本発明の技術は例えば100nm又はそれ以下の厚さの極めて薄い膜を再結晶させることができる。

ビームを阻止する代わりに、第1の実施例について説明したように、反射防止膜を用いて相補的なマスキングにより種領域を規定することができる。或いは、露光により種領域を規定することができる。

第3実施例

図7の投影露光装置は、エキシマレーザ71、ミラー72、可変焦点視野レンズ74、パターンが形成されたマスク75、2素子結像レンズ76、サンプルステージ77、及び可変減衰器78を含む。サンプル70はサンプルステージ77上に配置する。この装置を用いて鮮明なビームを発生させることにより、順次横方向凝集(SLS)プロセスで単一結晶のシリコン領域を段階成長させることができる。

(15)

できる。或いは、近接マスク又は接触マスクを用いてビーム、成形することができる。

図8のサンプル構造体は、基板80、熱酸化膜81、及びアモルファスシリコン膜82を有する。

以下の説明において、図9A～9F、第1の変形例の2個の例を示す図10A

～10F及び第2の変形例を示す図11A～11Bを参照して第3実施例の技術を説明する。

本例において矩形にパターン化されているアモルファスシリコン膜82からスタートし(図9A)、2本の破線により境界されているシリコン膜82の領域91をパルスで露光し、この領域のシリコンを完全に溶融させ(図9B)、次に領域91の溶融シリコンを再凝固させる(図9C)。ここで、領域91は細条状とし、この領域91の露光はマスクされた露光により又は近接マスクを用いて行うことができる。領域91の溶融シリコンの再凝固に際し、2個の粒子列が領域91の破線の境界部から領域91の中央に向けて爆発的に成長する。2個の粒子列の成長は、最終の距離92に至る特有の横方向の成長である。領域91の残りの部分において、微細に粒子化した多結晶領域93が形成される。好ましくは、この細条の幅は、再凝固に際し2個の粒子列が集束することなく互いに近づくように選択する。本発明から除外されるものではないが、幅が広くなつても処理の効率に寄与することはない。幅を狭くすると望ましくない傾向にある。この理由は、以後の工程において長さを短くしなければならず、しかも凝固プロセス中に対向する方向から成長する粒子が一緒になる位置において半導体表面が不規則になる可能性があるためである。シリコン膜上に酸化キャップ層を形成し、凝集を遅くすると共にシリコン膜の表面の歪みを低減して表面を円滑にすることができる。

露光される隣接領域はマスク投影又は近接マスクに対してサンプルを結晶成長の方向にシフト(ステッピング)することにより規定される。シフトした(ステップ移動した)領域94は図9Dの2本の破線により境界される。シフトする距離は、露光される次の領域が前回露光した領域と重なつて図9Eに示すように一

(16)

方の結晶の列が部分的に溶融する間に他方の結晶の列が完全に溶融するよう規定する。再凝固に際し、部分的に溶融している結晶の列は、する。9 F に示すように、一層長くなる。この様において、露光される部分を繰り返しシフトすることにより、所望の長さの単一結晶粒子を成長せることができる。

露光された領域のパターンが単一細条でなく、図10 A の破線で規定されるように山形形状 101 である場合、図10 B～10F に示す露光領域を同一の順序でシフトすることにより、シフトされた山形パターンの縁部の頂部から粒子の成長

が拡大する。このようにして、単一結晶の領域を幅及び長さを増大しながら成長させることができる。

大面積の単一結晶領域は、図11 A に図示され、テイル領域 111 、細いボトルネック領域 112 及び主アイランド領域 113 を有するパターン化されたアモルファスシリコン膜に順次シフト（ステップ状に）した露光領域を形成することにより成長させることができる。図11 A～11 C の領域 111 、112 及び 113 の断面は、放射遮光アモルファスシリコン領域 54 及び第 2 の二酸化シリコン層 55 が存在しないことを除いて図 5 に示すものと同様である。マスクされた露光又は近接マスクにより規定された露光領域は図11 A～11 C の破線により境界された領域により図示されており、この図11 はテイル領域 111 からボトルネック領域 112 を経て単一粒子を成長させて単一結晶のアイランド領域 113 を形成するための露光領域の順次の横方向シフト（ステッピング）を示す。

図9 A～9 F 、図10 A～10 F 及び図11 A～11 C の実施例の順次の横方向溶融及び再凝固は、水晶基板上にコートされ膜厚が 100～240 nm の二酸化シリコン上に化学気相堆積（CVD）により堆積したアモルファスシリコン膜について行った。単一結晶細条の形成は、欠陥エッチングサンプルの光学式走査電子顕微鏡により確認した。

選択的なものとして、基板を加熱して溶融に必要なビームエネルギーを低減し又は 1 ステップ当たりの横方向の成長距離を増大することができる。この利点は、図1 に示すステージ上のサンプルを 2 方向からの露光により実現することができる。

別の処理及び用途

本発明により形成された半導体膜を用いることにより、例えばパターン規定、エッティング、不純物注入、絶縁層の堆積、コンタクト形成、及びパターン化された金属層の相互接続のような良好に確立された別の技術により集積化された半導体デバイスを製造することができる。好適な薄膜半導体トランジスタにおいて、少なくともアクティブチャネル領域は、例えば図3A及び3Bに示す单一結晶の規則的な又は少なくともほぼ規則的な微細構造を有する。

特に注目すべきことは、図12に線図的に示す液晶表示装置にこのようなTF

Tが含まれることである。このデバイスは、少なくとも表示窓部分121が透明な基板120を含む。この表示窓含む121は画素122の規則的なアレイを含み、各画素はTFT画素コントローラを含む。各画素コントローラはドライバ123により個別にアドレスされることができる。好ましくは、画素コントローラ及び／又はドライバ回路は本発明の技術に基づいて形成した半導体材料で形成する。

別の用途して、イメージセンサ、スタテックランダムアクセスメモリ (SRA M)、シリコン一オンインシュレータ (SOI) デバイス、及び三次元集積回路デバイスが含まれる。

(18)

【図1】

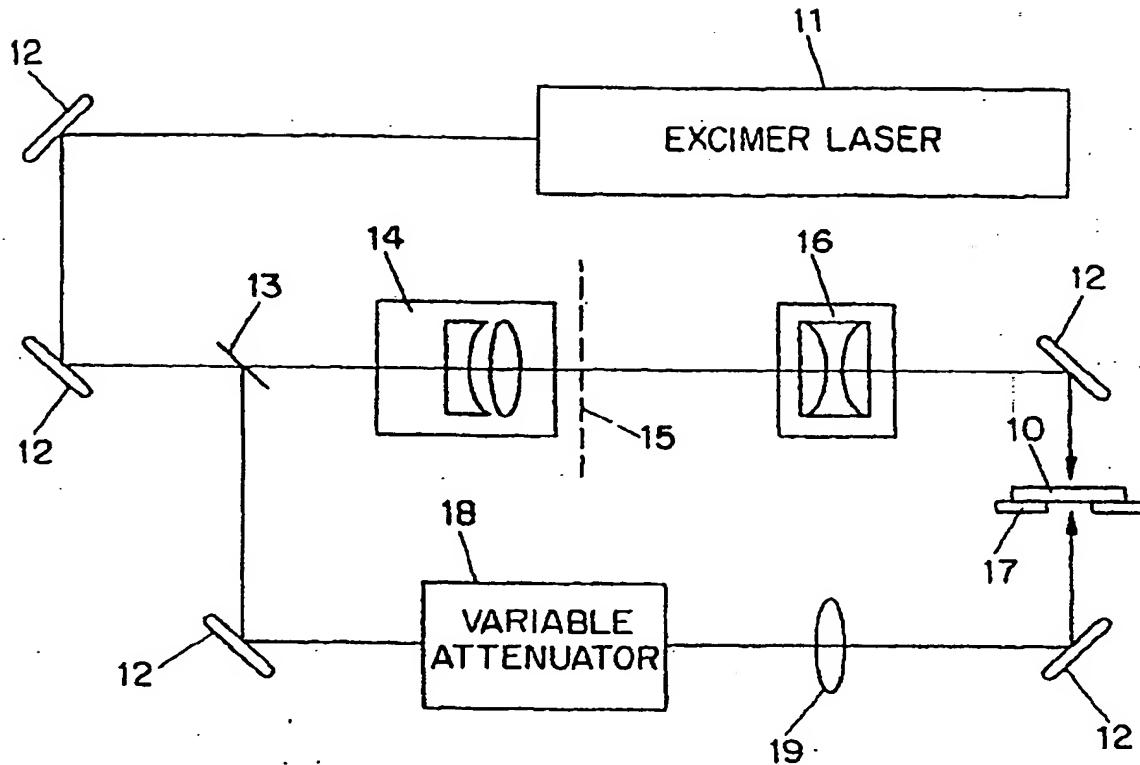


FIG. 1

【図2】

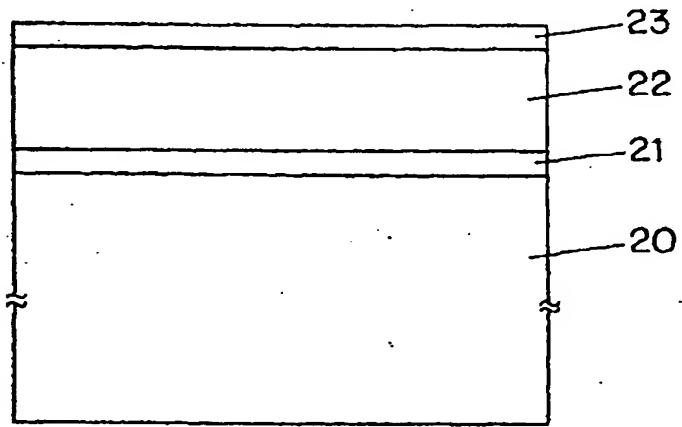


FIG. 2

(19)

【図3】

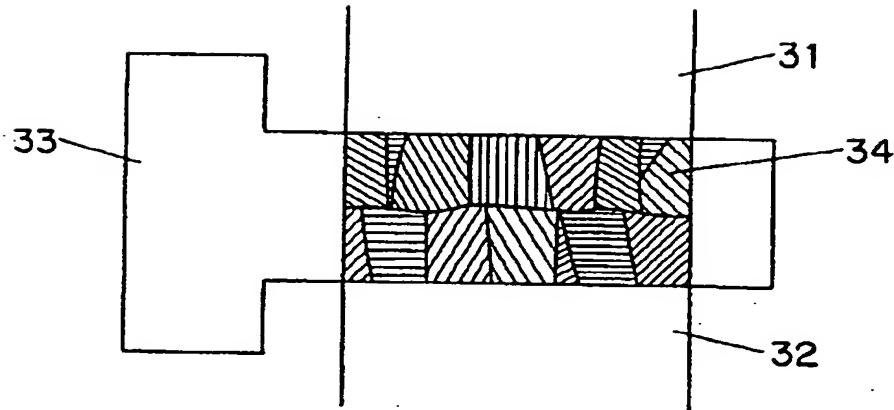


FIG. 3A

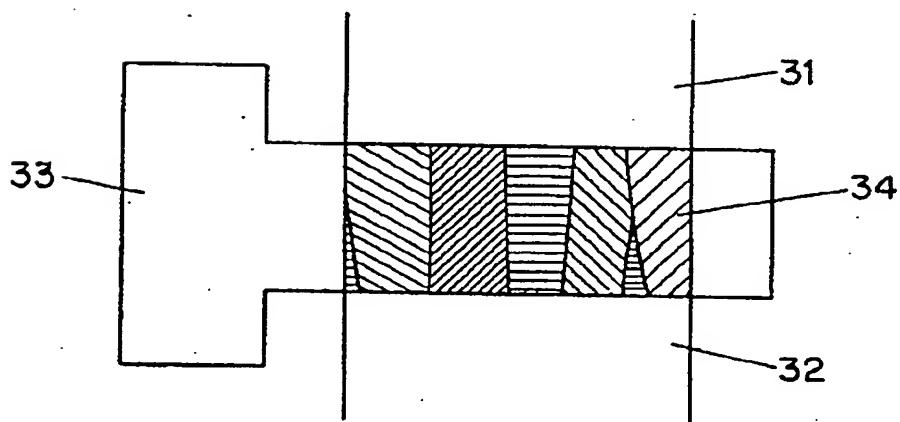


FIG. 3B

(20)

【図4】

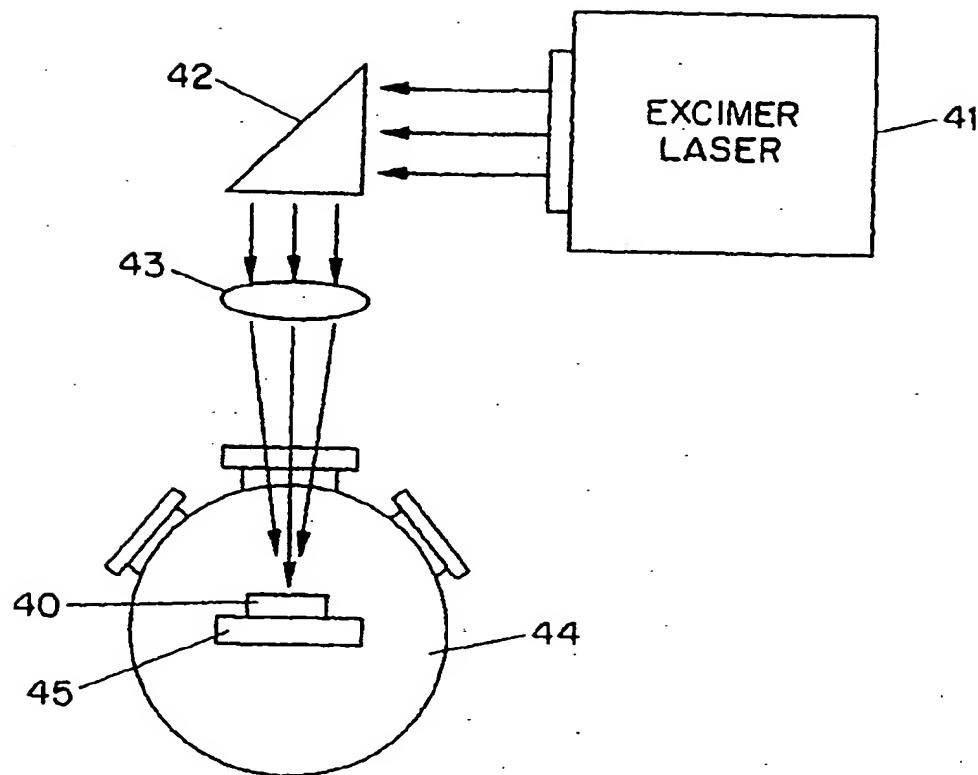


FIG. 4

【図5】

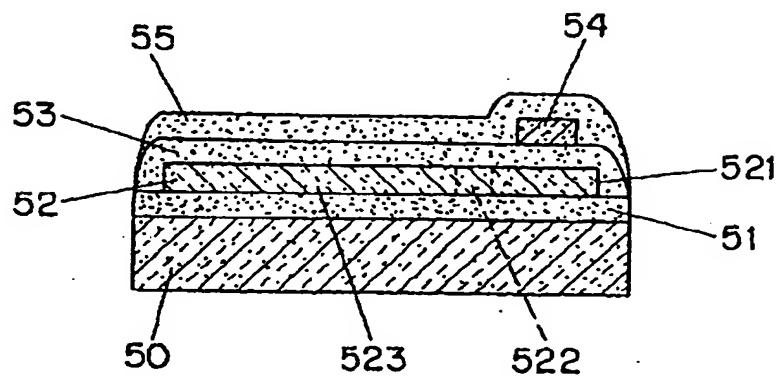


FIG. 5

(21)

【図6】

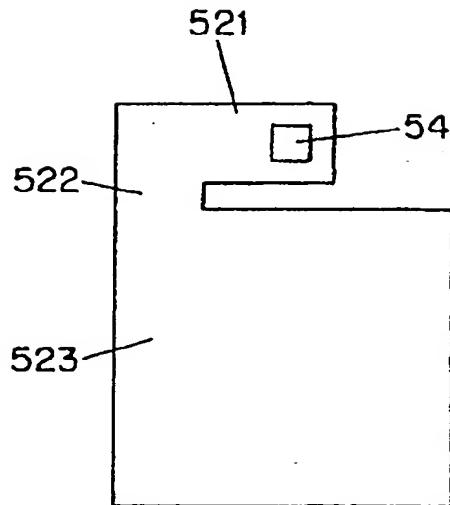


FIG. 6A

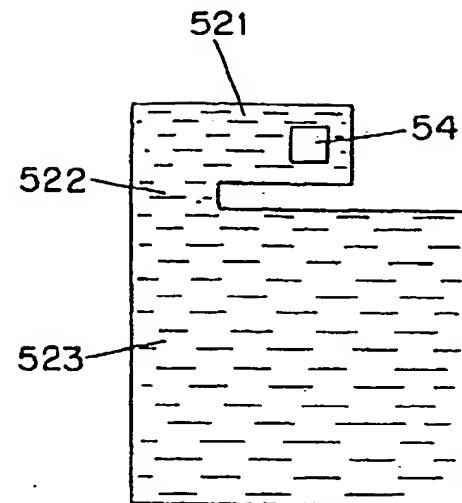


FIG. 6B

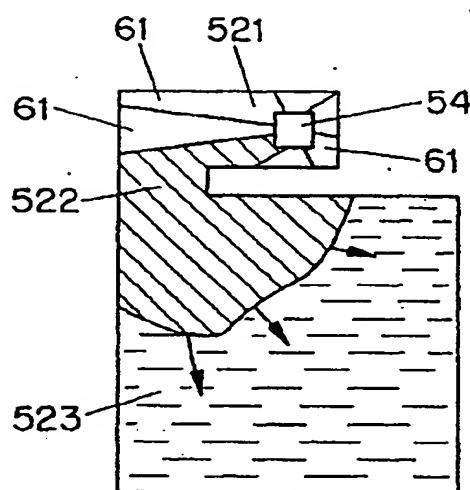


FIG. 6C

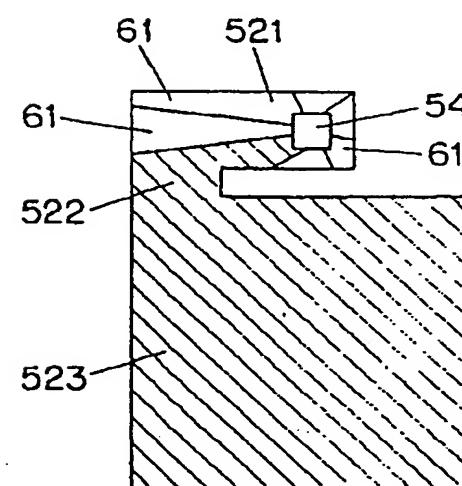


FIG. 6D

(22)

【図7】

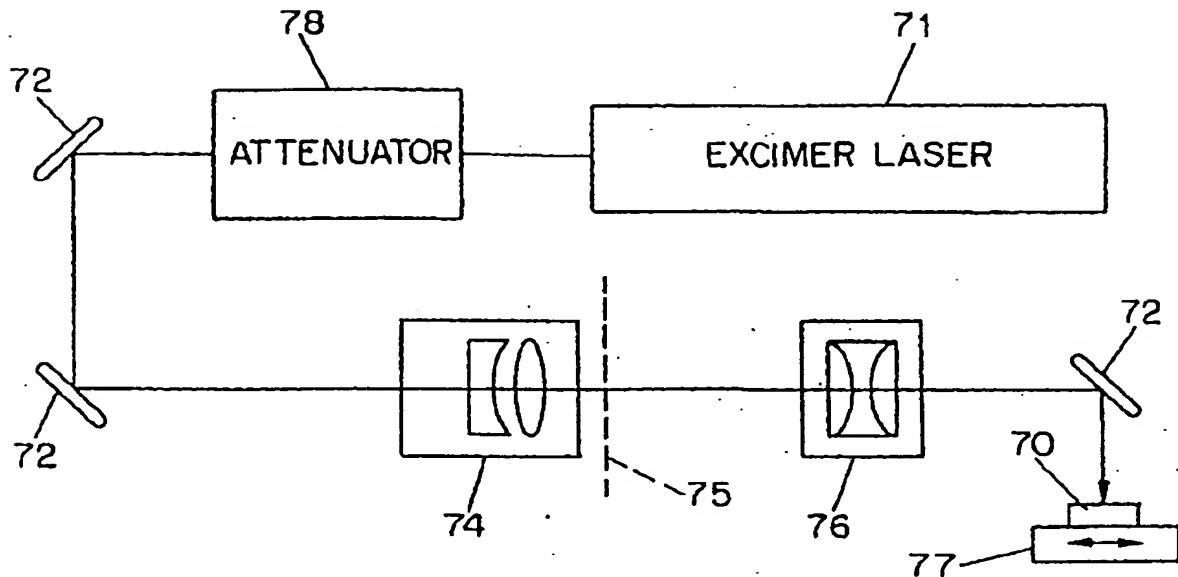


FIG. 7

【図8】

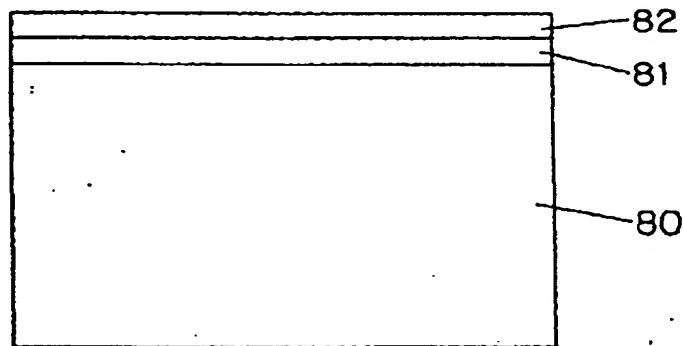


FIG. 8

(23)

【図9】

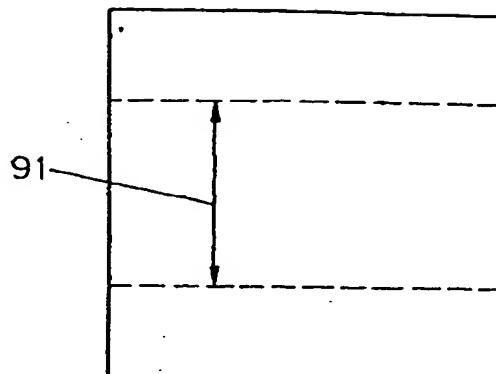


FIG. 9A

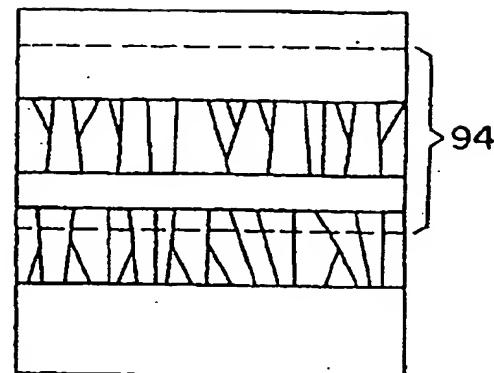


FIG. 9D

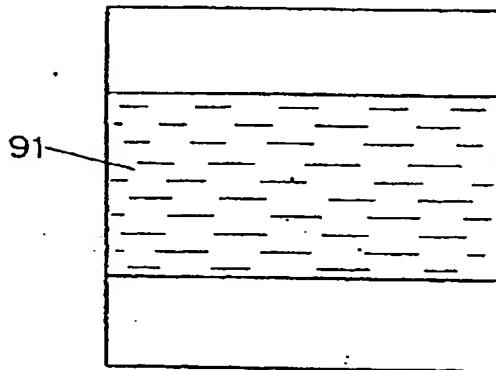


FIG. 9B

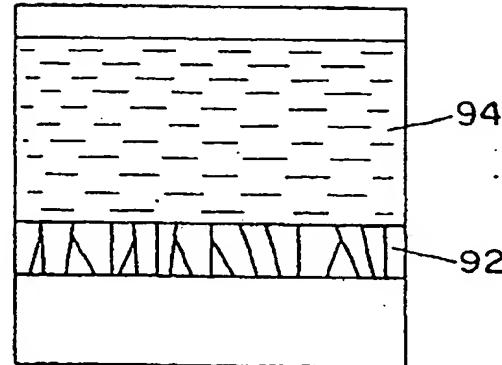


FIG. 9E

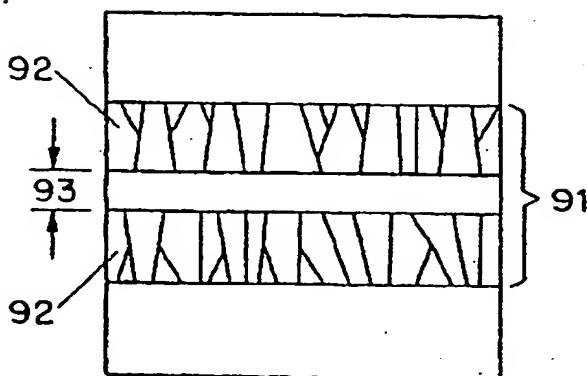


FIG. 9C

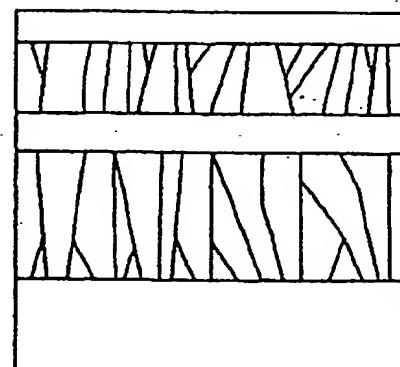


FIG. 9F

(24)

【図10】

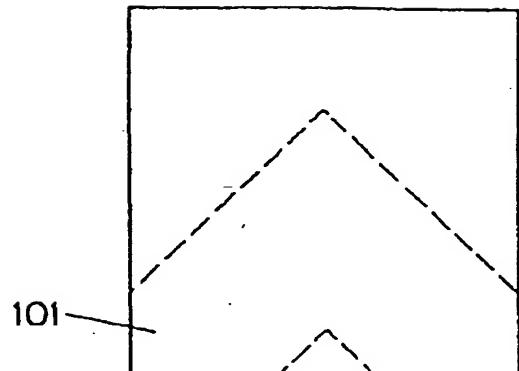


FIG. 10A

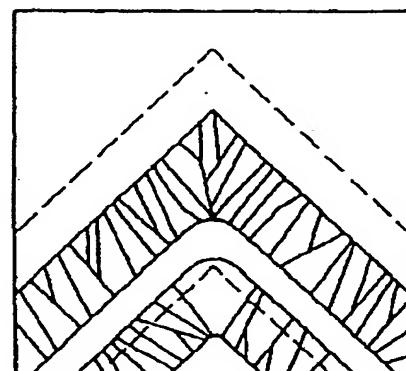


FIG. 10D

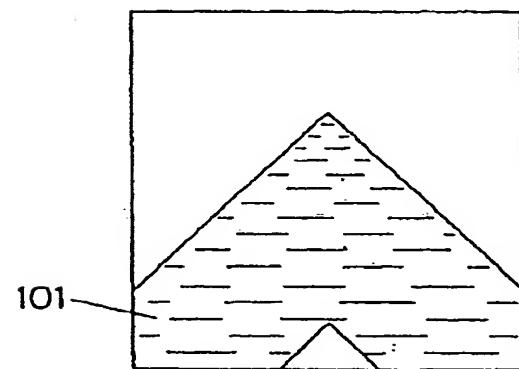


FIG. 10B

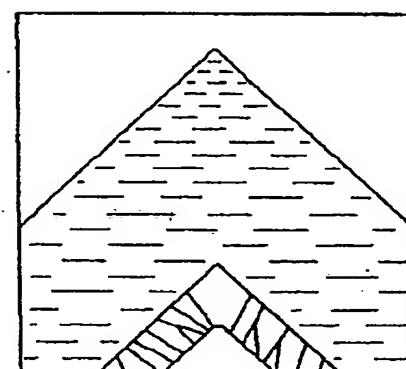


FIG. 10E

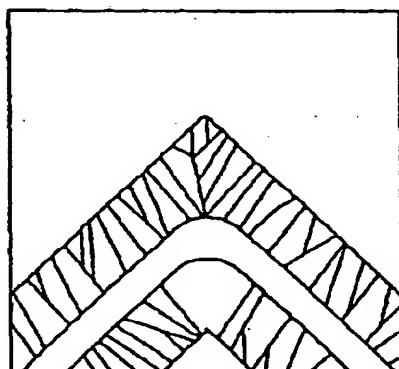


FIG. 10C

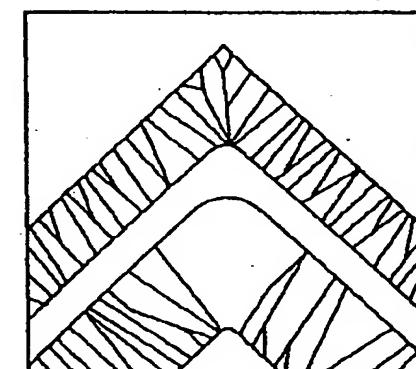


FIG. 10F

(25)

【図11】

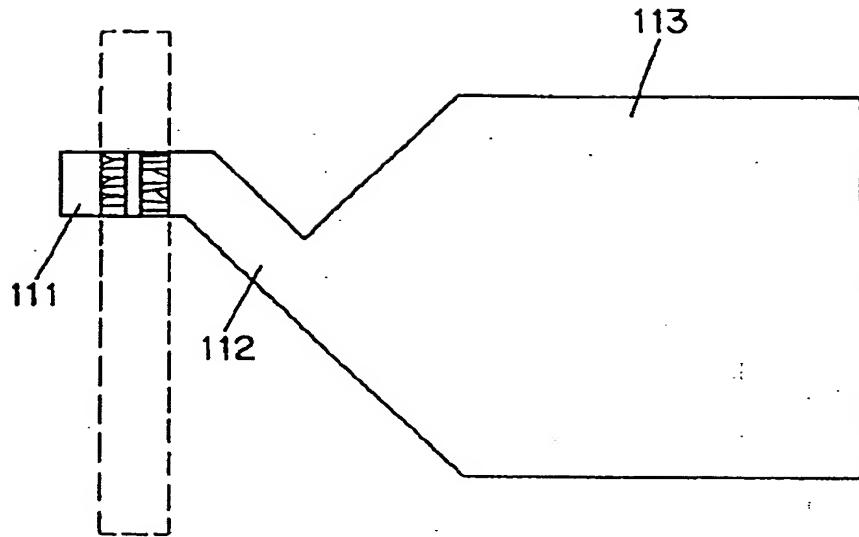


FIG. 11A

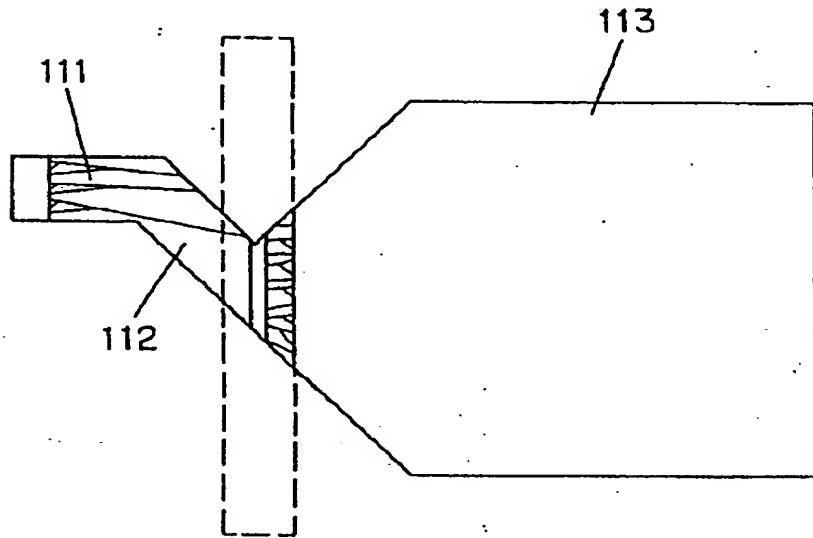


FIG. 11B

(26)

【図11】

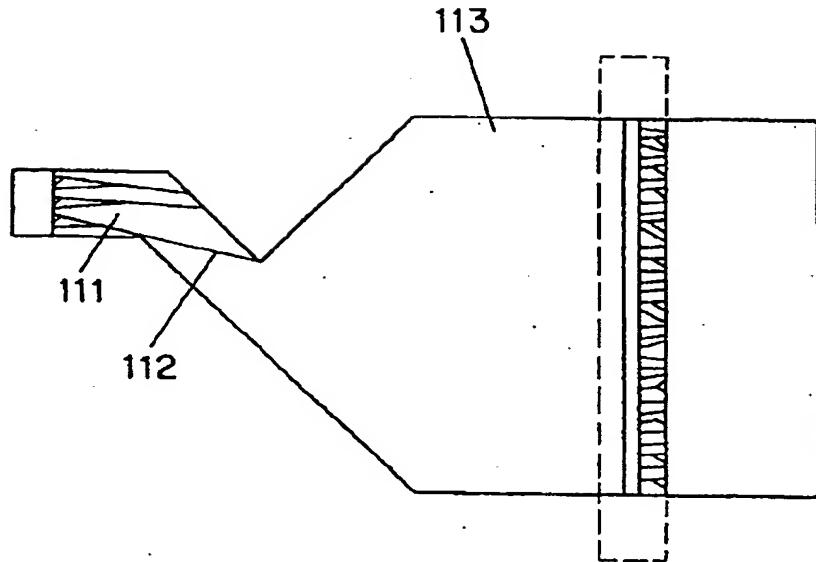


FIG. 11C

【図12】

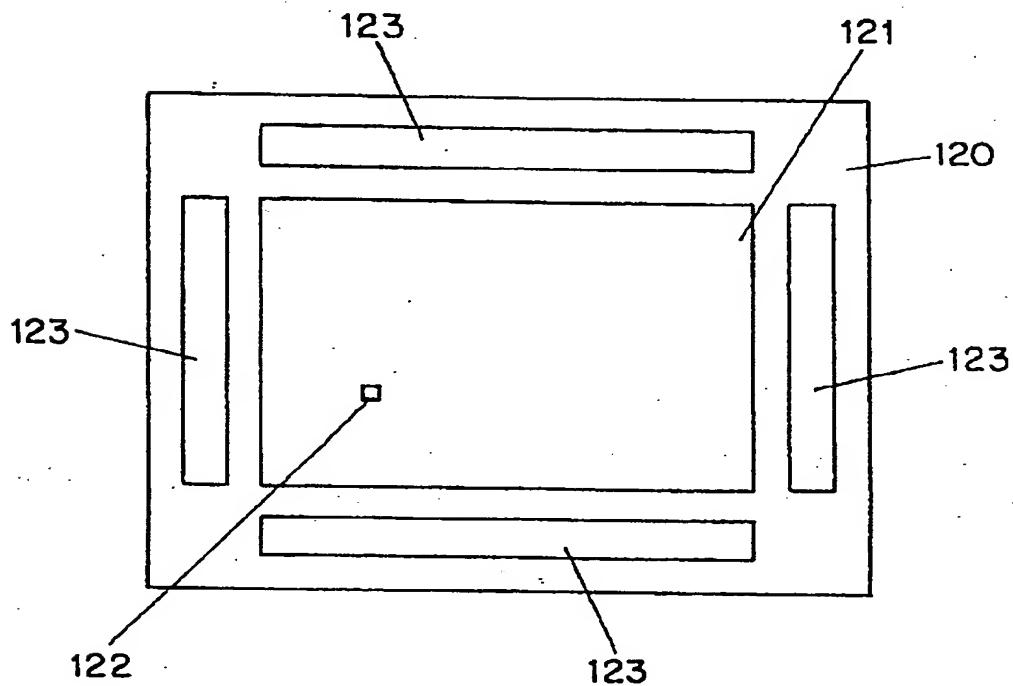


FIG. 12

(27)

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US96/07730

A. CLASSIFICATION OF SUBJECT MATTER

IPC(6) : G09G 3/36; H01L 21/20, 21/302; C30B 13/06.

US CL : 117/904; 427/ 89,109, 173, 174,973; 355/43/46/53

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

U.S. : 117/904; 427/ 89,109, 173, 174,973; 355/43/46/53

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
NONE

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

NONE

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 4,382,658 A (SHIELDS et al.) 10 May 1983.	NONE
A	US Re. 33,836 B (RESOR III et al.) 03 may 1992	NONE
A	US 5,204,659 A (SARMA) 20 April 1993.	NONE
A	US 5,061,655 A (IPPOSHI et al.) 29 October 1991.	NONE
A	US 5,409,867 A (ASANO) 25 April 1995	NONE
A,P	US 5,496,768 A (KUDO) 05 March 1996.	NONE
A,E	US 5,529,951 A (NOGUCHI et al.) 25 June 1996.	NONE

 Further documents are listed in the continuation of Box C. See patent family annex.

• Special categories of cited documents:	
• "A" document defining the general state of the art which is not considered to be of particular relevance	"T" later documents published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
• "E" earlier document published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
• "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reasons (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
• "O" document referring to an oral disclosure, use, exhibition or other means	"A" document member of the same patent family
• "P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search	Date of mailing of the international search report
24 MARCH 1997	14 APR 1997
Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20231 Facsimile No. (703) 305-3230	Authorized officer f/w ROBERT KUNEMUND Telephone No. (703) 308-0661

(28)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/US96/07730

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 4,855,014 A (KAKIMOTO ET AL.) 08 August 1989.	none
A	US 4,727,047 A (BOZLER et al.) 23 February 1988.	NONE

(29)

フロントページの続き

(72)発明者 ソン ヒュン ジン
アメリカ合衆国 ニューヨーク州 10027
—6699 ニューヨーク ダブリュー ワン
ハンドレッド トウエンティセカンド ス
トリート 500 アパートメント 3シー
(72)発明者 スポジリ ロバート エス
アメリカ合衆国 ニューヨーク州 10710
—2007 ニューヨーク ヨンカーズ マリ
ア レイン 63
(72)発明者 ヨーン ジュン エイチ
アメリカ合衆国 ニュージャージー州
07650 パラセイズ パーク イレヴァンス
ストリート 210 フロア 2